

①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑪ **DE 3934215 A1**

⑳ Aktenzeichen: P 39 34 215.8  
㉑ Anmeldetag: 13. 10. 89  
㉒ Offenlegungstag: 18. 4. 91

㉓ Int. Cl. 5:  
**H03 M 1/82**

H 03 F 3/217  
H 04 R 3/00  
H 02 P 7/00  
H 04 B 10/12  
H 04 B 7/24  
// H05K 11/02,  
H02J 13/00

DE 3934215 A1

㉔ Anmelder:  
AEG Kabel AG, 4050 Mönchengladbach, DE

㉕ Erfinder:  
Engel, Gerhard, Dipl.-Ing., 4044 Kaarst, DE

㉖ Für die Beurteilung der Patentfähigkeit  
in Betracht zu ziehende Druckschriften:

DE 30 44 956 C2  
DE 27 53 616 C2  
DE 38 12 185 A1  
DE 33 21 294 A1  
DE 32 37 427 A1  
DE 30 17 414 A1  
DE 28 36 743 A1  
DE 87 09 180 U1  
US 48 41 207  
EP 01 56 305 A2

DE-Z: Chips für Digital-Audio. In: *Elektor* 1983,  
H. 145, S.1-28 bis 1-34;

DE-Z: LISCHKER, Th: Der Ton im Wandel. In: *Funkschau* 1984, Nr.1, S.50-52;  
DE-Firmenveröffentlichung der Fa. FRAMOS,  
München 16-Bit-D/A-Wandler, Anwendung:  
PCM-Stereo. In: *Der Elektroniker*, 1984, Nr.3, S.74;  
DE-Z: KÖNIG, Michael: Schaltregler für  
Wechselspannungen. In: *Elektronik*, H.23,  
11.11.1988, S.82-90;  
DE-Z: PDM-Verstärker. In: *Elektor*, H.1, 1989, S.34-36;  
DE-Z: POSTMA, E.: PDM-Verstärker. In: *Elektor*,  
März 1980, S. 60 u.61;  
DE-Z: PDM-Verstärker. In: *Elektro*, Dez. 1978,  
S.36-39;  
DE-Z: TDA 7260: Treiber-IC für  
Klasse-D-Verstärker In: *Elektor*, April 1987, S. 71-73;  
DE-Z: Schneller Transistor für PWM-Verstärker.  
In: *Funkschau*, H.20, 1979, S.59-60;  
DE-Z: SCHILD, Walter: Mit Licht zu höchster  
Reinheit. In: *Funkschau*, H.4, 1988, S.26-28;  
US-Z: MURRAY, John M.;  
OLESZEK, Gerald M.: *Design Considerations in Class*

Weitere Bibliographieangaben siehe Rückseite

㉗ Digital/Analogsystem

Bei einem Digital/Analogsystem ist ein Pulsweitenmodu-  
lator vorgesehen, der vom Digitalsignal angesteuert wird,  
daß ein Impulsverstärker vorgesehen ist, der das impulswei-  
tenmodulierte Signal des Pulsweitenmodulators verstärkt,  
und daß ein Tiefpaß vorgesehen ist, der das impulsweiten-  
modulierte Signal in ein Analogsignal umwandelt.

DE 3934215 A1

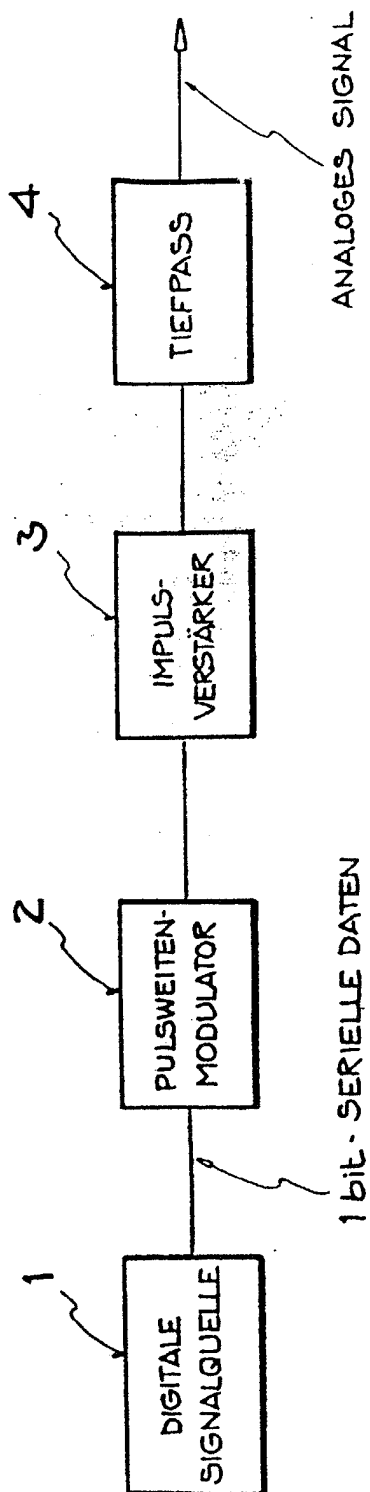
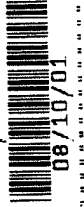


FIG.



La présente invention concerne d'une façon générale les alternateurs ou alerno-démarreurs pour véhicules automobiles, et en particulier la régulation de tels alternateurs.

5        La régulation de la tension de sortie d'un alternateur s'effectue de façon classique en comparant un signal prélevé à la sortie de l'alternateur avec une tension de référence.

10       Dans les régulateurs les plus simples, cette tension de référence est fixe. Dans des réalisations plus sophistiquées, cette tension de référence peut être amenée à varier en fonction de l'environnement de l'alternateur (température, importance de la charge électrique alimentée à un instant donné, etc.).

15       Les alternateurs les plus modernes offrent la possibilité de modifier la tension de référence de régulation par une communication de données avec un dispositif intelligent éloigné, tel qu'une unité de centrale du véhicule, dédié au contrôle de différents  
20       organes (contrôle moteur, commande à distance des différentes charges électriques, etc.).

      Une solution connue pour indiquer à un circuit régulateur d'alternateur la tension de référence qu'il doit adopter consiste à utiliser un signal à modulation  
25       de largeur d'impulsions (ci-après « signal PWM »), dont la largeur des impulsions détermine la valeur que doit prendre ladite tension de référence. De façon classique, le signal PWM reçu attaque un circuit intégrateur plus ou moins sophistiqué, qui délivre en sortie soit la tension  
30       de référence elle-même, soit une tension permettant d'apporter la correction requise à une tension de référence de base. Une telle approche est intéressante en

ce qu'elle permet de s'affranchir des variations de période du signal PWM reçu, seul le rapport cyclique de ce signal étant pris en compte.

Une difficulté avec cette technique de conversion connue réside en ce que, pour réaliser l'intégration, elle nécessite des valeurs de capacités relativement importantes (typiquement de l'ordre d'une ou de plusieurs centaines de nanofarads), ce qui interdit de réaliser la totalité du circuit intégrateur au sein même d'un circuit intégré tel que celui sur lequel est implémenté le régulateur. Ainsi, au minimum, un tel régulateur nécessite d'avoir une ou plusieurs capacités discrètes connectées à des bornes spécifiques du circuit intégré.

La présente invention vise à pallier ces limitations de l'état de la technique et à proposer un circuit de conversion d'un signal PWM entrant qui puisse entièrement être réalisé en technologie intégrée, tout en s'affranchissant des problèmes de variation de période dudit signal PWM en étant capable dans tous les cas de délivrer avec précision la tension dont le signal PWM est représentatif.

Ainsi l'invention propose, selon un premier aspect, un alternateur pour véhicule automobile, comprenant un rotor et un stator et un circuit régulateur pour faire varier l'excitation de l'alternateur par comparaison d'un signal représentatif de la tension de sortie de l'alternateur avec une tension de référence variable, et un circuit de conversion apte à faire varier ladite tension de référence en fonction d'un signal de commande de référence sous la forme d'un signal à modulation de largeur d'impulsions, caractérisé en ce que le circuit de conversion comprend en combinaison :

- une horloge interne à période variable pilotable,
- un circuit de différence apte à établir un signal de différence entre la période du signal de commande de référence et la période d'un signal de l'horloge interne,
- 5       - un circuit de pilotage de l'horloge interne apte, en réponse audit signal de différence, à piloter l'horloge interne de façon à rendre égale la période du signal d'horloge interne et la période dudit signal de commande, et
- 10       - un circuit de conversion de largeur d'impulsions en tension comprenant un compteur cadencé par ladite horloge interne pilotée et apte à effectuer un comptage pendant que ledit signal de commande de référence est à un niveau logique donné, et un convertisseur
- 15 numérique/analogique apte à transformer une valeur de compte fournie par ledit compteur en une tension à partir de laquelle la tension de référence du régulateur est obtenue.

Selon un deuxième aspect, la présente invention

20 propose un dispositif d'interface entre un dispositif de commande fournissant un signal de commande de référence sous la forme d'un signal à modulation de largeur d'impulsions et un dispositif régulateur pour alternateur de véhicule automobile, les variations de la largeur des

25 impulsions dudit signal étant destinées à être converties en des variations d'une tension de référence dudit dispositif régulateur, caractérisé en ce qu'il comprend en combinaison :

- une horloge interne à période variable pilotable,
- 30       - un circuit de différence apte à établir un signal de différence entre la période du signal de commande de référence et la période d'un signal de l'horloge interne,

- un circuit de pilotage de l'horloge interne apte, en réponse audit signal de différence, à piloter l'horloge interne de façon à rendre égale la période du signal d'horloge interne et la période dudit signal de commande, et

- un circuit de conversion de largeur d'impulsions en tension comprenant un compteur cadencé par ladite horloge interne pilotée et apte à effectuer un comptage pendant que ledit signal de commande de référence est à un niveau logique donné, et un convertisseur numérique/analogique apte à transformer une valeur de compte fournie par ledit compteur en une tension à partir de laquelle la tension de référence du régulateur est obtenue.

Certains aspects préférés, mais non limitatifs, de l'alternateur et du dispositif d'interface selon l'invention sont les suivants :

- le circuit de différence comprend un moyen pour élaborer un signal rectangulaire symétrique dont la période est un multiple entier de la période du signal de commande de référence.

- le circuit de différence comprend un moyen pour élaborer des impulsions de différence entre ledit signal rectangulaire symétrique et un signal produit à partir de l'horloge interne.

- la largeur des impulsions de différence est proportionnelle à l'écart entre la période du signal de commande de référence et la période dudit signal de l'horloge interne.

- le circuit de différence comprend un moyen pour élaborer un signal de sens de différence au moins pendant la durée desdites impulsions de différence.

- le circuit de pilotage de l'horloge interne comprend un compteur/décompteur recevant lesdites impulsions de différence et ledit signal de sens de différence, et un convertisseur numérique analogique recevant la sortie dudit compteur/décompteur.

- l'horloge interne comprend un oscillateur commandé en tension.

- le convertisseur numérique/analogique dudit circuit de conversion possède une entrée de mémorisation, tandis qu'il est prévu un moyen pour appliquer à cette entrée un signal de mémorisation pendant que ledit signal de commande de référence est à un niveau logique autre que ledit niveau logique donné, chaque fois que ledit compteur a fait l'acquisition de la valeur du rapport cyclique du signal de commande de référence.

- le circuit de conversion/dispositif d'interface est entièrement réalisé en technologie intégrée.

- le circuit de conversion/dispositif d'interface est réalisé sur une même puce de semi-conducteur que le circuit régulateur.

D'autres aspects, buts et avantages de la présente invention apparaîtront mieux à la lecture de la description détaillée suivante d'une forme de réalisation préférée de celle-ci, donnée à titre d'exemple non limitatif et faite en référence aux dessins annexés, sur lesquels :

la figure 1 est un schéma-bloc du contexte dans lequel se place l'invention,

les figures 2a et 2b illustrent deux signaux PWM de rapports cycliques différents intervenant dans le schéma-bloc de la figure 1,

la figure 3 illustre la présente invention sous forme d'un schéma-bloc fonctionnel,

la figure 4 est un schéma logique d'un circuit d'interface selon l'invention,

5 la figure 5 illustre une forme de réalisation concrète des blocs de la figure 4 délivrant les impulsions de différence (signaux d'erreur) et le sens desdites impulsions de différence,

les figures 6a à 6c illustrent sous forme de  
10 chronogrammes l'allure d'un certain nombre de signaux dans le circuit de la figure 5,

la figure 7 illustre un exemple de forme de réalisation concrète d'un circuit d'horloge variable utilisé dans le schéma de la figure 4,

15 les figures 8 et 9 illustrent deux formes de réalisation concrètes de deux autres blocs du schéma de la figure 4, permettant la mesure du rapport cyclique du signal de commande de référence après synchronisation de l'horloge interne par rapport audit signal de commande de  
20 référence, et

la figure 10 illustre un chronogramme de signaux au niveau d'un étage de conversion du circuit selon l'invention.

En référence tout d'abord à la figure 1, on a  
25 illustré schématiquement un dispositif électronique de contrôle moteur 10 et un circuit régulateur 20 de la tension de sortie d'un alternateur ou d'un altemo-démarreur. Le dispositif 10 délivre un signal PWM à partir duquel une tension de référence  $V_{ref}$  pour le  
30 régulateur 20 doit être obtenue. Ceci est réalisé à l'aide d'un circuit de conversion ou d'interface 30, qui



convertit ledit signal PWM, et plus précisément sa largeur d'impulsion, en ladite tension de référence.

Les figures 2a et 2b illustrent deux aspects possibles du signal PWM, sachant que la largeur de ses  
5 impulsions peut varier par exemple entre 10% et 90% de la période totale du signal.

La figure 3 illustre fonctionnellement le circuit de conversion 30, avec une première fonction 31 d'ajustement de la fréquence d'oscillation d'une horloge  
10 du circuit de conversion, une seconde fonction 32 de mesure de la largeur d'une impulsion du signal PWM par comptage sur la base d'un signal de cadencement fourni par ladite horloge, et une troisième fonction 33 d'établissement de la valeur effective de la tension de  
15 référence Vref à partir de la mesure effectuée en 32.

La figure 4 illustre l'architecture logique du circuit de conversion 30.

Il comprend un premier bloc logique L1 recevant en entrée le signal PWM et dont une sortie délivre un signal  
20 de remise à zéro RAZ utilisé comme on le verra plus loin et un signal d'erreur ERR utilisé également comme on le verra plus loin.

Le circuit de conversion 30 comprend également un premier compteur CT1 qui peut être remis à zéro par le  
25 signal RAZ et qui reçoit sur une entrée d'horloge un signal de comptage CK délivré par un second bloc logique L2.

Le bloc logique L2 reçoit en entrées le signal RAZ, un signal de sortie CNT1 du compteur CT1 et un signal  
30 d'horloge CK3 délivré par un autre bloc logique L3. Ce même bloc logique L2 délivre en sortie le signal CK

précité, et un signal CNT2 qui constitue en même temps un signal C/D de sens de comptage.

Une porte Ou-Exclusif XOR reçoit sur une première entrée le signal CNT2 délivré par le circuit logique L2, et sur une seconde entrée le signal d'erreur ERR fourni par le circuit logique L1.

Cette porte délivre en sortie un signal d'erreur inversé INVERR.

Le circuit de conversion 30 comporte en outre un compteur/décompteur CTDC, dont une entrée de sens de comptage reçoit le signal C/D précité du circuit logique L2, et dont une autre entrée reçoit le signal INVERR délivré par la porte XOR.

Le circuit CTDC délivre en sortie un comptage sur plusieurs bits qui est appliqué à l'entrée d'un convertisseur numérique/analogique CNA1 dont la tension analogique de sortie Vpil commande une horloge interne du circuit, constituée par un oscillateur piloté en tension VCO dont la sortie délivre un signal rectangulaire de fréquence variable CKV.

Ce signal attaque le circuit logique L3, qui est construit à partir d'un compteur dont on prélève en sortie des bits de rangs différents, pour former un diviseur de fréquence à plusieurs sorties.

L'une de ces sorties est un signal d'horloge CK3 qui cadence le circuit logique L2. Une autre sortie est un signal d'horloge CK3' qui cadence le compteur/décompteur CTDC. Enfin une troisième sortie est un signal d'horloge CK3'' qui est appliqué sur une entrée d'un quatrième circuit logique L4, qui reçoit par ailleurs, respectivement sur deux autres entrées, le signal ERR et le signal PWM.

La sortie du circuit L4 est un signal d'horloge CK4 qui cadence un compteur CT2 dont la remise à zéro est commandée par le signal RAZ précité.

La sortie sur plusieurs bits du compteur CT2  
5 attaque un deuxième convertisseur numérique/analogique CNA2 dont la sortie constitue une tension analogique Vcorr destinée à corriger une tension fixe engendrée par ailleurs de façon connue en soi dans le régulateur de l'alternateur pour obtenir la tension de référence  
10 variable Vref. Le convertisseur CNA2 possède une entrée MEM qui permet la saisie et la mémorisation de la valeur disponible sur la sortie du compteur CT2.

Cette entrée MEM est reliée à la sortie du bloc logique L5 dont l'une des entrées est reliée à l'entrée  
15 PWM du bloc logique L1, une autre entrée étant reliée à la sortie ERR dudit bloc logique L1.

On va maintenant décrire en détail le comportement du circuit de la figure 4, en référence aux figures 5 et suivantes qui décrivent l'implémentation concrète de  
20 certains des blocs de la figure 4 et l'allure de certains signaux.

Le signal PWM envoyé par le contrôle moteur 10 à l'interface 30 attaque le circuit logique L1, qui délivre à partir du signal PWM un signal RAZ utilisé par le  
25 compteur CT1 et par le circuit logique L2.

Le circuit logique L2 délivre un signal CNT2 (ou C/D) dont la durée est proportionnelle à la période du signal CKV délivré par l'horloge interne VCO.

Le signal CNT2 délivré par le circuit logique L2  
30 est combiné dans la porte XOR avec un signal ERR qui est un signal rectangulaire symétrique dont la période est le

double de celle du signal PWM, obtenu par le circuit logique L1.

La porte XOR délivre ainsi un signal d'erreur inversé INVERR, qui traduit un défaut de synchronisation entre la fréquence du signal CKV délivré par l'horloge VCO, et la fréquence du signal de commande de référence PWM. Ce signal d'erreur inversé INVERR est appliqué sur l'entrée de retenue du compteur décompteur CTDC. Ce compteur effectue un comptage ou un décomptage en fonction du niveau du signal C/D fourni par le circuit logique L2, et ce pendant toute la durée du signal d'erreur inversé INVERR. La sortie du compteur CTDC est codée sur huit bits et transformée en un signal analogique par le convertisseur CNA1. Ce signal analogique est appliqué à l'entrée du circuit d'horloge variable VCO, dont la fréquence d'oscillation varie de manière à chercher à annuler le signal d'erreur.

Ceci permet alors au compteur CT1 d'effectuer un comptage toujours identique pendant la période du signal PWM, quelles que soient les valeurs que peut prendre cette période dans un intervalle déterminé.

Le signal d'horloge CK3 élaboré par le circuit logique L3 à partir du signal CKV fourni par l'oscillateur VCO possède une période égale au quadruple de celle dudit signal CKV. Ce signal alimente le circuit logique L2.

Le circuit L3 délivre par ailleurs un signal CK3' dont la période est égale à seize fois la période du signal CKV, qui commande le compteur/décompteur CTDC.

Le signal CK3'' délivré par le circuit logique possède une période égale au double de celle du signal CKV et attaque un circuit logique L4, dans lequel ce

signal est combiné avec le signal ERR et avec le signal PWM lui-même. On obtient un signal CK4 qui cadence le compteur CT2. Ce dernier produit un signal numérique, par exemple sur huit bits, qui est transformé par le convertisseur CNA2 en une tension analogique.

Or on souhaite disposer en sortie du circuit CNA2 d'une tension continue en évitant de convertir les valeurs en sortie du compteur CT2 pendant les phases de comptage et de remise à zéro. La conversion numérique/analogique doit être réalisée lorsque le compteur CT2 vient de mesurer la largeur de l'impulsion du signal PWM, représentative du rapport cyclique de ce signal. A cet effet, le circuit CNA2 est choisi comme étant du type présentant une entrée d'échantillonnage (ou de mémorisation /CE, qui permet de bloquer la tension en sortie sur la valeur courante lorsque le signal logique MEM sur cette entrée est au niveau logique « 0 ». Le circuit logique L5 est destiné à engendrer ce signal MEM à partir du signal PWM et du signal ERR, pour ainsi obtenir une tension continue en sortie du convertisseur CNA2.

On va maintenant décrire en détail, en référence à la figure 5, l'ensemble constitué par les circuits logiques L1 et L2, le compteur CT1 et la porte logique XOR.

Le but de cet ensemble est d'obtenir un signal d'erreur INVERR qui est représentatif de l'écart entre la période  $T_{pwm}$  - variable - du signal PWM fourni par le contrôle moteur, et la période de l'horloge interne VCO du circuit.

Ce signal d'erreur INVERR sera utilisé par les autres circuits pour mesurer précisément la période  $T_{pwm}$ .

Le signal PWM attaque un compteur Cta appartenant au circuit logique L1 par l'intermédiaire d'un circuit de protection R2, Z2. Le compteur Cta est un compteur à quatre bits qui délivre sur sa sortie q0 (bit de poids le plus faible) le signal symétrique ERR dont la période est égale au double de celle du signal PWM. Ce signal est combiné avec le signal PWM dans une porte Non-Et NOR2 pour engendrer le signal de remise à zéro RAZ. La résistance R3 et le condensateur C permettent d'éliminer les éventuels parasites dans le signal RAZ.

Le circuit L2 reçoit le signal d'horloge CK3 fourni par le circuit L3 (voir figure 4), par l'intermédiaire d'un circuit de protection R1, Z1. Ce signal est appliqué sur une entrée d'une porte Non-Et NOR1 pour être combiné avec la sortie du compteur CT1, qui est ici constitué par un compteur Ctb à huit bits Cta dont la sortie est prise sur le bit de poids le plus fort q7. Le signal de sortie CK délivré par la porte NOR1 est appliqué à l'entrée de cadencement du compteur CT1/Ctb. Ainsi, tant que le bit de sortie q7 est au niveau logique « 0 », le compteur CT1/Ctb va s'incrémenter au rythme du signal CK, jusqu'à ce que, soit le bit q7 passe au niveau logique « 1 », soit le signal RAZ devienne actif.

Du fait que la période du signal PWM et la période du signal de l'horloge VCO ne sont pas synchrones (la période du signal PWM étant susceptible de varier), ceci entraîne que le compteur CT1/ctb finira de s'incrémenter avant ou après la fin de la période  $T_{pwm}$  du signal PWM, et qu'un tel décalage est représentatif de l'erreur de synchronisation qui existe. Cette erreur est révélée tout d'abord en combinant le signal sur la sortie q7 de Ctb avec le signal RAZ dans la porte Non-Et NOR3, puis en

combinant la sortie de cette porte avec le signal ERR délivré par le compteur Cta dans la porte XOR, qui délivre le signal d'erreur INVERR recherché.

L'allure des signaux mentionnés dans la description  
 5 qui précède est illustrée sur les figures 6a à 6c. La figure 6a indique par des zones hachurées les plages de variation des signaux q7, INVERR, et C/D tandis que les figures 6b et 6c illustrent respectivement le cas où l'horloge interne VCO est trop rapide par rapport à la  
 10 période T, ou au contraire trop lente par rapport à cette même période.

Le signal d'erreur INVERR étant obtenu, le circuit selon l'invention est apte à modifier la fréquence de son horloge interne (oscillateur VCO), en agissant sur sa  
 15 tension de commande Vpil, de manière à annuler cette erreur.

A cet effet, le compteur/décompteur CTDC reçoit :  
 - sur son entrée de retenue (CARRY), le signal INVERR, de telle manière que le comptage/décomptage s'effectue  
 20 uniquement lorsque le signal INVERR est actif (niveau haut) ;  
 - sur son entrée de sens de comptage (U/D pour « Up/Down »), le signal C/D de sens de comptage précité (identique au signal CNT2), ce qui détermine quand le  
 25 compteur doit compter et décompter.

Le compteur CTDC fournit un compte sur huit bits appliqué au convertisseur CNA1, qui délivre une tension analogique représentative de la valeur du compte, qui constitue la tension Vpil de pilotage de l'horloge  
 30 interne VCO.

Concrètement, dans le cas de la figure 6b, où la période de l'horloge interne est trop courte par rapport

à celle du signal PWM (et donc sa fréquence est trop élevée), on observe que le signal INVERR comporte à chaque cycle un court créneau et que pendant ce créneau, le signal C/D est au niveau logique « 0 ». En  
5 conséquence, le compte dans le compteur/décompteur CTDC va être décrémenté, pour ainsi diminuer la tension  $V_{pil}$  et donc la fréquence de l'horloge VCO. On comprend en outre que cette diminution est proportionnelle à l'écart à corriger (largeur des créneaux INVERR).

10 Inversement, dans le cas de la figure 6c, la fréquence de l'horloge VCO est trop lente par rapport à celle du signal PWM. Ainsi des créneaux sont produits dans le signal INVERR, et pendant ces créneaux le signal C/D est au niveau logique « 1 ». Il en résulte que le  
15 compteur CTDC va augmenter son compte, pour augmenter la tension  $V_{pil}$  et donc la fréquence d'oscillation du circuit VCO.

Ainsi le circuit de la présente invention tend, à chaque cycle de fonctionnement (c'est-à-dire tous les  
20 deux cycles du signal PWM) à ajuster la fréquence de son horloge interne sur celle dudit signal PWM.

Un exemple d'implémentation en technologie intégrée du circuit VCO est illustrée sur la figure 7.

Il comprend un amplificateur opérationnel A1 qui  
25 reproduit la tension présente sur son entrée A (qui reçoit la tension de commande  $V_{pil}$ ) sur le point B. Le transistor T5 forme une source de courant qui produit un courant I proportionnel à  $V_{pil}$ , et qui est récopié grâce à des miroirs de courant constitués par les transistors  
30 T1, T2 et T3, les valeurs des résistances R1, R2 et R3 étant choisies identiques.



L'amplificateur opérationnel A2 reproduit au point D la tension présente au point C, c'est-à-dire la tension provoquée par le passage du courant I dans le montage parallèle des résistances R8 et R9.

5        On choisit pour des résistances R7, R8 et R9 de même valeur, et l'on a donc à travers la résistance R7 un courant égal à  $I/2$ , qui est engendré par le transistor T6.

10        Initialement, le condensateur C est déchargé et le potentiel au point E est nul. La borne d'entrée négative de l'amplificateur opérationnel A3 est donc au potentiel nul. Sachant que sa borne d'entrée positive est reliée au potentiel positif « + » du circuit, sa sortie est à ce potentiel, et constitue un seuil haut pour le basculement  
15        de A3.

Dans cette situation, le transistor T4 est polarisé en inverse et donc bloqué, tandis que la diode D est passante. Le courant I produit par T3 peut donc circuler par la diode D, et l'on a donc un courant  $I/2$  dans le  
20        transistor T6 et la résistance R7, et un courant  $I/2$  dans le condensateur C.

Ce condensateur C se charge donc et, lorsque le seuil de basculement de l'amplificateur opérationnel A3 est atteint, la sortie de celui-ci passe au potentiel  
25        nul, avec un seuil de basculement bas. Le transistor T4 devient donc passant et la diode D, polarisée en inverse, se bloque. Le courant provenant du transistor T3 ne peut donc plus passer par D, et il circule à travers le transistor T4 relié à la masse. Le condensateur C se  
30        décharge alors via la source de courant constituée par T6, A2 et R7.

On comprend qu'en fonction des variations de la tension d'entrée, la valeur du courant  $I$  varie, et la période d'oscillation, déterminée par les commutations successives de  $A3$  varie. Le composant  $A3$  délivre donc en  
5 sortie un signal rectangulaire symétrique  $CKV$  dont la période varie avec le niveau de la tension  $V_{pil}$ .

On notera ici que l'ensemble du circuit VCO de la figure 4 est aisément réalisable en technologie intégrée. En particulier, le condensateur  $C$  peut avoir  
10 une valeur extrêmement faible, typiquement de l'ordre de quelques dizaines de picofarads,

Le circuit logique  $L4$  est illustré plus en détail sur la figure 8. Il est constitué par une porte Et  $AND1$  à trois entrées, recevant respectivement le signal  
15 d'horloge  $CK3''$  issu de la division temporelle de  $CKV$  par le circuit  $L3$ , le signal PWM et le circuit  $ERR$ , et dont la sortie attaque le compteur  $CT2$ .

Le circuit logique  $L5$  est quant à lui illustré sur la figure 9. Il comprend une porte Et à trois entrées  
20  $AND2$  dont une première entrée reçoit le signal  $/PWM$  obtenu à partir du signal PWM par une porte Non-ou  $NOR4$  montée en inverseur, dont une deuxième entrée reçoit le signal  $ERR$ , et dont une troisième entrée reçoit un signal fixe de niveau logique « 1 ».

25 La sortie de cette porte  $AND2$  attaque une porte Non-ou  $NOR5$  montée en inverseur, dont la sortie  $MEM$  attaque elle-même l'entrée de mémorisation  $/CE$  du convertisseur  $CNA2$ .

La figure 10 permet de bien comprendre le  
30 fonctionnement de la partie de mesure du rapport cyclique du signal PWM. Pendant un cycle, le compteur  $CT2$  s'incrémente à partir de zéro pendant toute la durée de

l'impulsion au niveau « 1 » du signal PWM, et la valeur du compte VCT est illustrée dans la partie supérieure de la figure 10, avec une phase de croissance suivie d'une phase de stabilité avant remise à zéro.

5        Le signal MEM fourni par le circuit logique L5 engendre une impulsion de mémorisation pendant la phase de stabilité du signal VCT, ce qui permet de délivrer en sortie, jusqu'à l'impulsion de mémorisation suivante, une tension Vcorr rigoureusement proportionnelle à la largeur  
10 d'impulsion du signal PWM.

Cette tension est combinée avec une tension de référence interne fixe du régulateur, par exemple à l'aide d'un circuit additionneur de tensions classique en soi et non illustré, pour engendrer dans le régulateur la  
15 tension de régulation variable Vref recherchée.

Grâce à l'ajustement permanent de l'horloge interne VCO du circuit sur la période du signal PWM, le rythme de comptage des impulsions du signal PWM, rapporté à la période de celui-ci, reste constant, et le signal Vcorr  
20 est engendré avec une grande précision même pour des variations importantes de la période du signal PWM.

Un avantage essentiel de la circuiterie décrite ci-dessus est qu'elle est réalisable dans sa totalité en technologie intégrée, notamment de par l'absence de  
25 capacités de valeurs importantes. Cette circuiterie peut être implémentée par exemple sur la même puce de semi-conducteur que le régulateur lui-même.

Bien entendu, la présente invention ne se limite nullement à la forme de réalisation décrite en  
30 particulier ci-dessus, mais l'homme du métier saura y apporter de nombreuses variantes et modifications.

En particulier, comme on l'a mentionné en introduction, on entend ici par « alternateur » aussi bien les alternateurs que les alterno-démarrateurs.

REVENDICATIONS

1. Alternateur pour véhicule automobile,  
5 comprenant un rotor et un stator et un circuit régulateur  
(20) pour faire varier l'excitation de l'alternateur par  
comparaison d'un signal représentatif de la tension de  
sortie de l'alternateur avec une tension de référence  
variable, et un circuit de conversion (30) apte à faire  
10 varier ladite tension de référence en fonction d'un  
signal de commande de référence (PWM) sous la forme d'un  
signal à modulation de largeur d'impulsions, caractérisé  
en ce que le circuit de conversion comprend en  
combinaison :
- 15 - une horloge interne (VCO) à période variable  
pilotable,  
- un circuit de différence (L1, L2, CT1, XOR) apte  
à établir un signal de différence (INVERR) entre la  
période (Tpwm) du signal de commande et la période d'un  
20 signal de l'horloge interne,  
- un circuit de pilotage (CTDC, CNA1) de l'horloge  
interne apte, en réponse audit signal de différence, à  
piloter l'horloge interne (VCO) de façon à rendre égale  
la période du signal d'horloge interne et la période  
25 dudit signal de commande, et  
- un circuit de conversion de largeur d'impulsions  
en tension (L4, L5, CT2, CNA2) comprenant un compteur  
(CT2) cadencé par ladite horloge interne pilotée (VCO) et  
apte à effectuer un comptage pendant que ledit signal de  
30 commande de référence (PWM) est à un niveau logique  
donné, et un convertisseur numérique/analogique (CNA2)  
apte à transformer une valeur de compte fournie par ledit

compteur en une tension ( $V_{corr}$ ) à partir de laquelle la tension de référence du régulateur est obtenue.

2. Alternateur selon la revendication 1, caractérisé en ce que le circuit de différence comprend un moyen ( $L1$ ) pour élaborer un signal rectangulaire symétrique ( $ERR$ ) dont la période est un multiple entier de la période du signal de commande de référence ( $PWM$ ).

3. Alternateur selon la revendication 2, caractérisé en ce que le circuit de différence comprend un moyen ( $CT1$ ,  $L2$ ,  $XOR$ ) pour élaborer des impulsions de différence ( $INVERR$ ) entre ledit signal rectangulaire symétrique ( $ERR$ ) et un signal ( $q7$ ) produit à partir de l'horloge interne ( $VCO$ ).

4. Alternateur selon la revendication 3, caractérisé en ce que la largeur des impulsions de différence ( $INVERR$ ) est proportionnelle à l'écart entre la période ( $T_{pwm}$ ) du signal de commande de référence ( $PWM$ ) et la période dudit signal de l'horloge interne.

5. Alternateur selon <sup>la</sup> ~~l'une des~~ revendications 3 et 4, caractérisé en ce que le circuit de différence comprend un moyen ( $L2$ ) pour élaborer un signal de sens de différence ( $C/D$ ) au moins pendant la durée desdites impulsions de différence ( $INVERR$ ).

6. Alternateur selon la revendication 5, caractérisé en ce que le circuit de pilotage de l'horloge interne comprend un compteur/décompteur ( $CTDC$ ) recevant lesdites impulsions de différence ( $INVERR$ ) et ledit

signal de sens de différence (C/D), et un convertisseur numérique analogique (CNA1) recevant la sortie dudit compteur/décompteur.

5            7.      Alternateur selon <sup>la</sup> ~~l'une des~~ revendications 1  
à 6, caractérisé en ce que l'horloge interne comprend un  
oscillateur (VCO) commandé en tension (Vpil).

8.      Alternateur selon <sup>la</sup> ~~l'une des~~ revendications 1  
10 à 7, caractérisé en ce que le convertisseur  
numérique/analogique (CNA2) dudit circuit de conversion  
possède une entrée (/CE) de mémorisation, et en ce qu'il  
est prévu un moyen (L5) pour appliquer à cette entrée un  
signal de mémorisation (MEM) pendant que ledit signal de  
15 commande de référence (PWM) est à un niveau logique autre  
que ledit niveau logique donné.

9.      Alternateur selon <sup>la</sup> ~~l'une des~~ revendications 1  
à 8, caractérisé en ce que le circuit de conversion (20)  
20 est entièrement réalisé en technologie intégrée.      3

10.      Alternateur selon la revendication 9,  
caractérisé en ce que le circuit de conversion (30) est  
réalisé sur une même puce de semi-conducteur que le  
25 circuit régulateur (20).

11.      Dispositif d'interface (30) entre un  
dispositif de commande (10) fournissant un signal de  
commande de référence (PWM) sous la forme d'un signal à  
30 modulation de largeur d'impulsions et un dispositif  
régulateur (20) pour alternateur de véhicule automobile,  
les variations de la largeur des impulsions dudit signal

étant destinées à être converties en des variations (Vcorr) d'une tension de référence dudit dispositif régulateur, caractérisé en ce qu'il comprend en combinaison :

- 5           - une horloge interne (VCO) à période variable pilotable,
- un circuit de différence (L1, L2, CT1, XOR) apte à établir un signal de différence (INVERR) entre la période (Tpwm) du signal de commande et la période d'un
- 10   signal de l'horloge interne,
- un circuit de pilotage (CTDC, CNA1) de l'horloge interne apte, en réponse audit signal de différence, à piloter l'horloge interne (VCO) de façon à rendre égale la période du signal d'horloge interne et la période
- 15   dudit signal de commande, et
- un circuit de conversion de largeur d'impulsions en tension (L4, L5, CT2, CNA2) comprenant un compteur (CT2) cadencé par ladite horloge interne pilotée (VCO) et apte à effectuer un comptage pendant que ledit signal de
- 20   commande de référence (PWM) est à un niveau logique donné, et un convertisseur numérique/analogique (CNA2) apte à transformer une valeur de compte fournie par ledit compteur en une tension (Vcorr) à partir de laquelle la tension de référence du régulateur est obtenue.

25

12. Dispositif selon la revendication 11, caractérisé en ce que le circuit de différence comprend un moyen (L1) pour élaborer un signal rectangulaire symétrique (ERR) dont la période est un multiple entier

30 de la période du signal de commande de référence (PWM).



13. Dispositif selon la revendication 12, caractérisé en ce que le circuit de différence comprend un moyen (CT1, L2, XOR) pour élaborer des impulsions de différence (INVERR) entre ledit signal rectangulaire symétrique (ERR) et un signal (q7) produit à partir de l'horloge interne (VCO).

14. Dispositif selon la revendication 13, caractérisé en ce que la largeur des impulsions de différence (INVERR) est proportionnelle à l'écart entre la période (Tpwm) du signal de commande de référence (PWM) et la période dudit signal de l'horloge interne.

15. Dispositif selon <sup>la</sup> ~~une des~~ revendications 13 et 14, caractérisé en ce que le circuit de différence comprend un moyen (L2) pour élaborer un signal de sens de différence (C/D) au moins pendant la durée desdites impulsions de différence (INVERR).

16. Dispositif selon la revendication 15, caractérisé en ce que le circuit de pilotage de l'horloge interne comprend un compteur/décompteur (CTDC) recevant lesdites impulsions de différence (INVERR) et ledit signal de sens de différence (C/D), et un convertisseur numérique analogique (CNA1) recevant la sortie dudit compteur/décompteur.

17. Dispositif selon <sup>la</sup> ~~une des~~ revendications 11 à 16, caractérisé en ce que l'horloge interne comprend un oscillateur (VCO) commandé en tension (Vpil).

18. Dispositif selon <sup>la</sup> ~~une des~~ revendications 11  
à ~~17~~, caractérisé en ce que le convertisseur  
numérique/analogique (CNA2) dudit circuit de conversion  
possède une entrée (/CE) de mémorisation, et en ce qu'il  
5 est prévu un moyen (L5) pour appliquer à cette entrée un  
signal de mémorisation (MEM) pendant que ledit signal de  
commande de référence (PWM) est à un niveau logique autre  
que ledit niveau logique donné.

10 19. Dispositif selon <sup>la</sup> ~~une des~~ revendications 11  
à ~~18~~, caractérisé en ce qu'il est entièrement réalisé en  
technologie intégrée.

15 20. Dispositif selon la revendication 19,  
caractérisé en ce qu'il est réalisé sur une même puce de  
semi-conducteur que le dispositif régulateur.

ABREGE DESCRIPTIF

« ALTERNATEUR POURVU DE MOYENS PERFECTIONNES D'INTERFACE ENTRE UN DISPOSITIF DE CONTROLE MOTEUR ET SON CIRCUIT REGULATEUR, ET INTERFACE CORRESPONDANTE »

Déposant : VALEO EQUIPEMENTS ELECTRIQUES MOTEUR

Un alternateur pour véhicule automobile comprend un régulateur faisant varier son excitation en fonction d'une référence variable, et un circuit de conversion faisant varier ladite référence en fonction d'un signal PWM. Il comprend en combinaison :

- une horloge interne (VCO) à période variable pilotable,

- un circuit de différence (L1, L2, CT1, XOR) apte à établir un signal de différence (INVERR) entre la période du signal PWM et la période d'un signal de l'horloge interne,

- un circuit (CTDC, CNA1) de pilotage de l'horloge interne apte, en réponse audit signal, à piloter l'horloge interne pour égaliser la période du signal d'horloge interne et la période du signal PWM, et

- un circuit de conversion comprenant un compteur (CT2) cadencé par l'horloge interne et actif pendant que ledit signal PWM est à un niveau logique donné, et un convertisseur N/A (CNA2) apte à transformer un compte fourni par ledit compteur en une tension à partir de laquelle la référence du régulateur est obtenue.

(Figure 4)

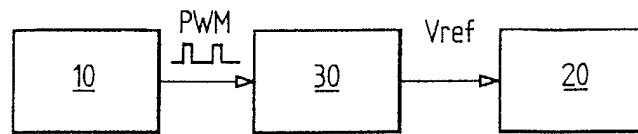


FIG.1

FIG. 2a

FIG. 2b

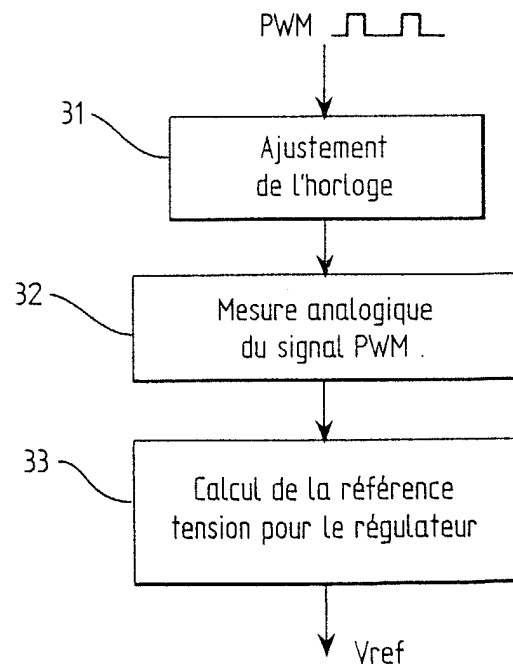
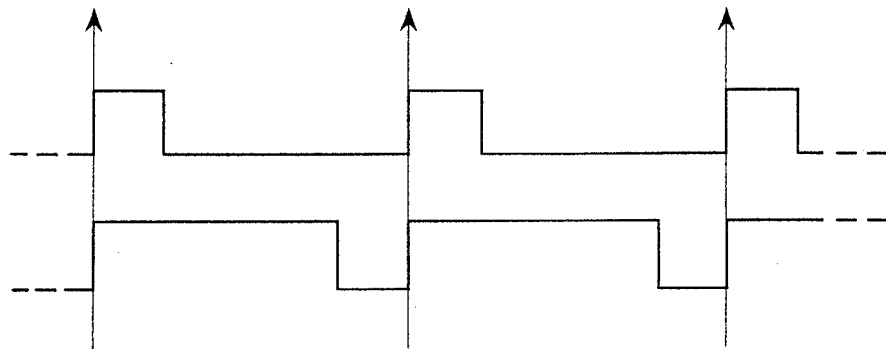
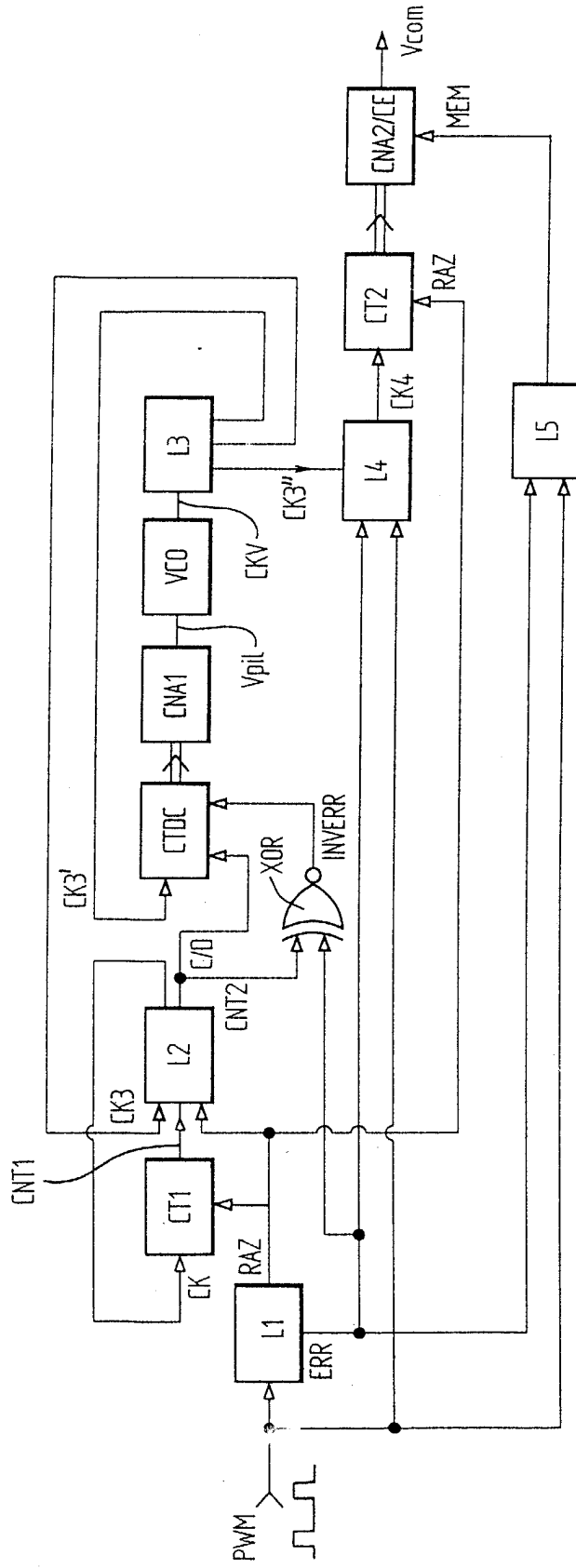


FIG.3



**FIG. 4**

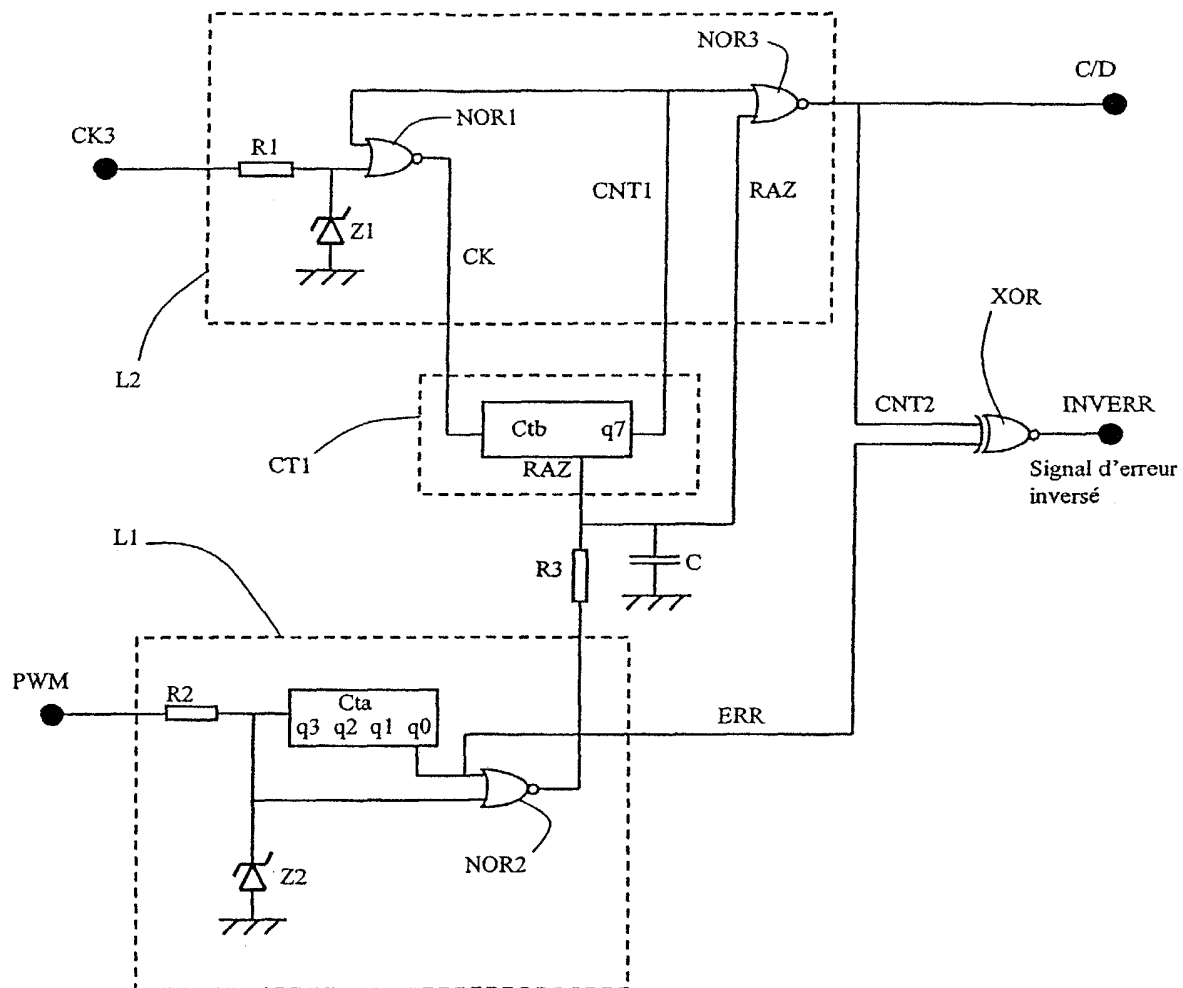


FIG.5

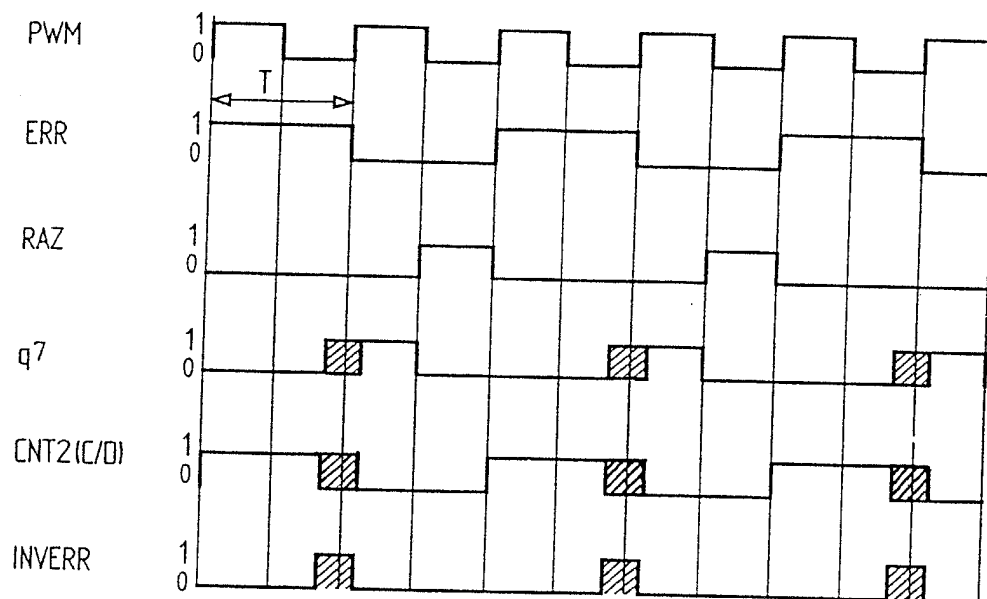


FIG.6a

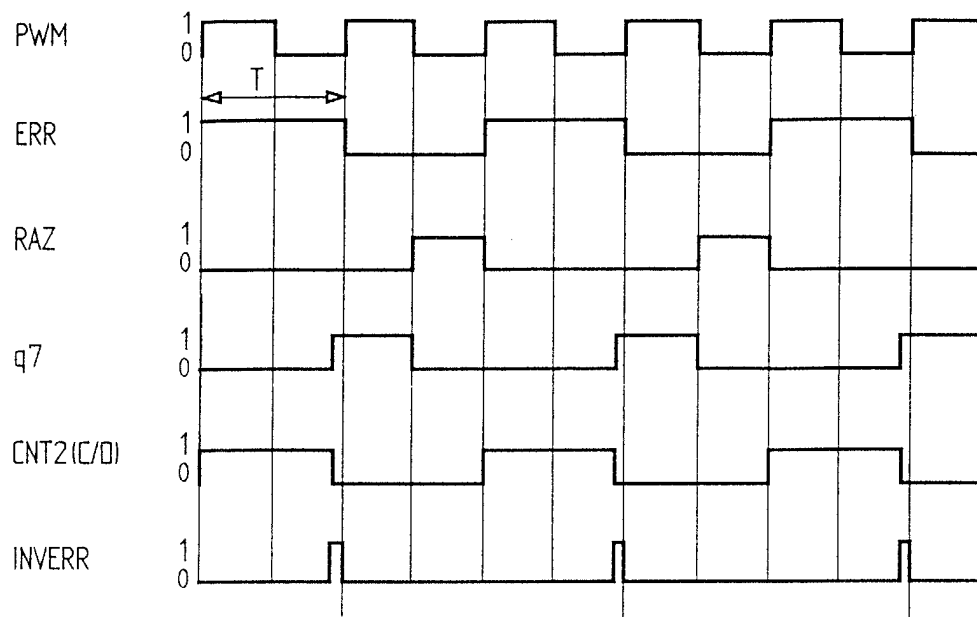


FIG. 6b

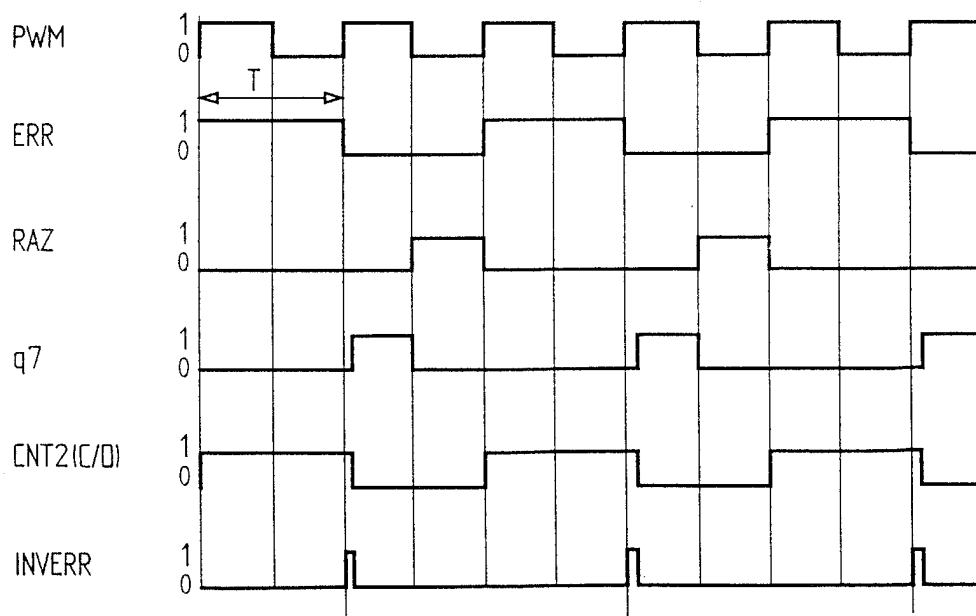
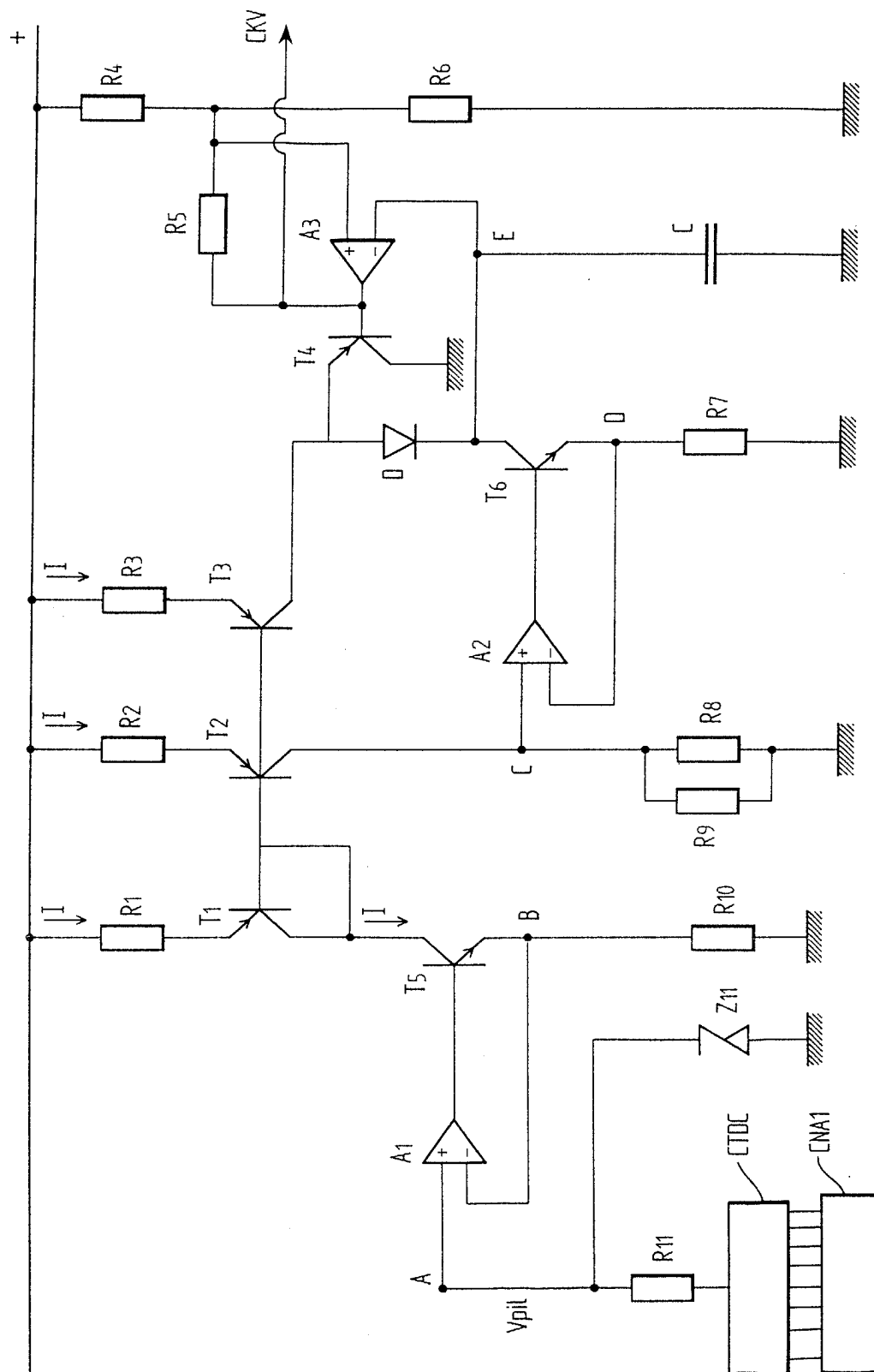


FIG. 6c





**FIG. 7**

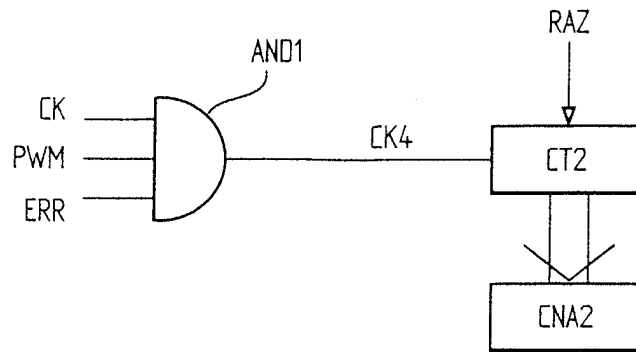


FIG. 8

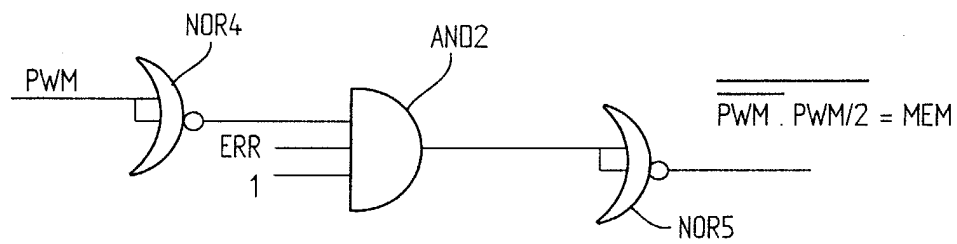


FIG. 9

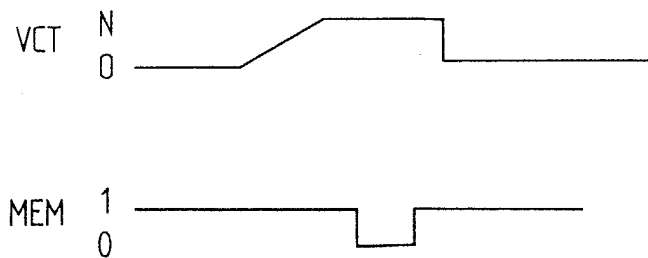


FIG. 10